

TECHNIKA SPÍNANÝCH PROUDŮ (*Switched-Current, SI*)

Ing. Ondřej Šubrt

Ondrej.Subrt@asicentrum.cz

Část I – principy a reálné vlastnosti SI obvodů

Část II – úvod do aplikace a realizace SI obvodů



Czech Technical University in Prague
Faculty of Electrical Engineering

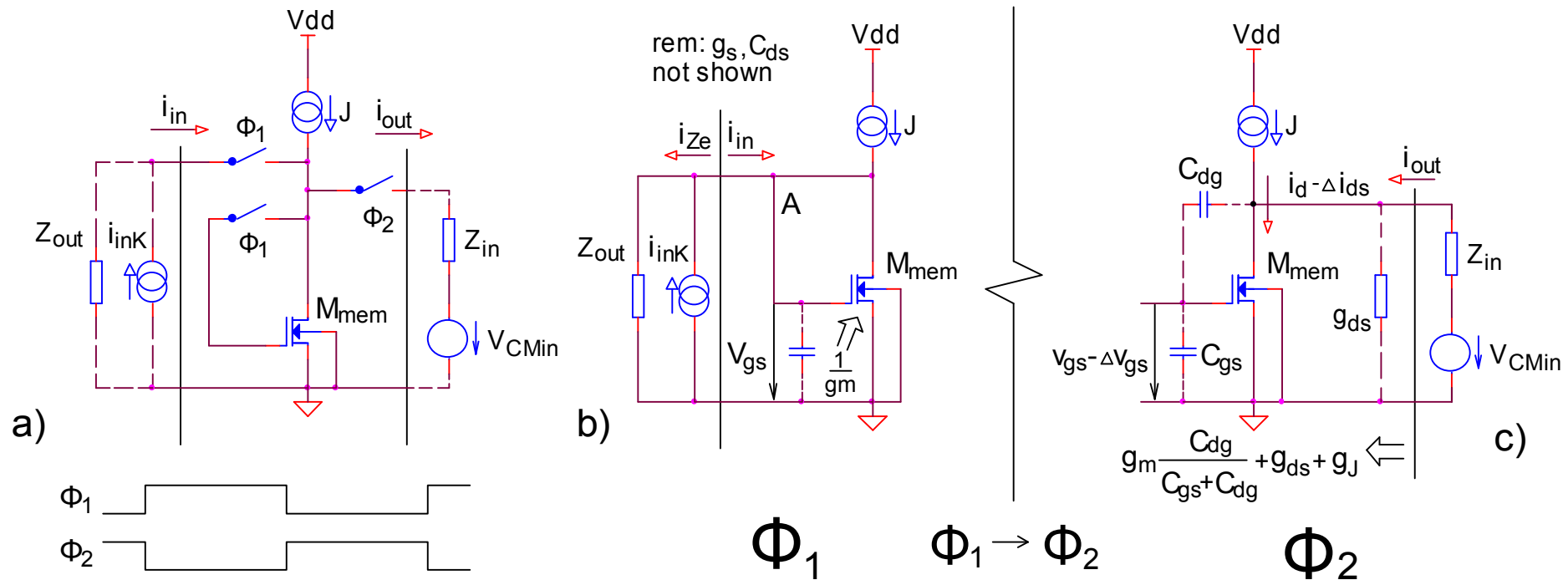
 **ASICentrum[®]**
A COMPANY OF THE SWATCH GROUP

Část I – principy a reálné vlastnosti SI obvodů

- *reálné vlastnosti obvodů SI a jejich klasifikace*
- *způsoby minimalizace chyb, zdokonalená obvodová řešení proudových paměťových buněk*

1. Reálné vlastnosti obvodů SI – klasifikace chyb proudových paměťových buněk

proudová paměťová buňka = SI Memory cell



Dominující chybové faktory v praxi:

- *Konečný poměr Y_{in}/Y_{out} a jeho důsledky*

$Z_{in}, V_{CMin}, Z_{out}$ modeluje návazné členy v obvodu (buňky)

Vstupní fáze - minimalizovat proud i_{ze} !

Výstupní fáze – minimalizovat Z_{in} , ze stat. hlediska „přizpůsobit“ napěťové úrovně (V_{CMin})

- *Ustalovací chyba výstupního proudu*
- *Chyby způsobené injekcí náboje*
ekvivalentní úbytek v_{gs} při přechodu mezi vstupní/výstupní fází (odrazí se ve změně i_d)
- *Aspekty správného časování*
vliv t_{rise}, t_{fall} , předstihy proudových signálů a korektní překryvy fází hodin!

Způsoby minimalizace chyb:

1) *Konečný poměr Y_{in}/Y_{out}*

a) **Zvyšování vstupní vodivosti** – zpětnovazební techniky ve vstupní proudové smyčce buňky

technika VGD (Virtually Grounded Drain) – též „GGA buňka“
technika VGS (Virtually Grounded Source)

- minimalizace statického napěťového rozkmitu na vstupu buňky, vytvoření virtuální „signálové země“ vedoucí ke snížení malosignálového r_{in}

b) **Snižování výstupní vodivosti**

- použití kaskod na místě zdroje J, paměťového tranzistoru

2) Nábojová injekce

(charge injection, „switch feedthrough“ během přechodu mezi fázemi)

- typický problém spínačů zapojených k uzlu s vysokou impedancí (gate M_{mem})

a) použití „dummy tranzistorů“: přímé „nasátí“ náboje injektovaného spínačem dvěma tranzistory se zkratovaným sourcem a drainem

nevýhoda - nelineární (signálově závislá) povaha nábojové injekce – nemožnost dosáhnout anulování CHI ve velkém rozsahu vstupních proudů I_{in} buňky

b) spojitě pracující zpětná vazba chybového signálu

(continuous-time error feedback)

problém: technika dummy je těžko použitelná při velmi malých úrovních vstupního signálu (srovnatelných s účinkem nábojové injekce)

→ řešení: integrační smyčka vstupního proudu
(„měření“ úrovně chybového proudu, zapamatování a odečítání)

c) „stabilizace“ spínaného napětí (constant voltage switching, CVS)

technika použitelná na uzlech s vysokou impedancí – vytvoření konstantní úrovně nábojové injekce a její následná eliminace pomocí dummy

d) vícenásobné vzorkování ve vstupní fázi

vyžaduje modifikovanou (složitější) sekvenci hodin

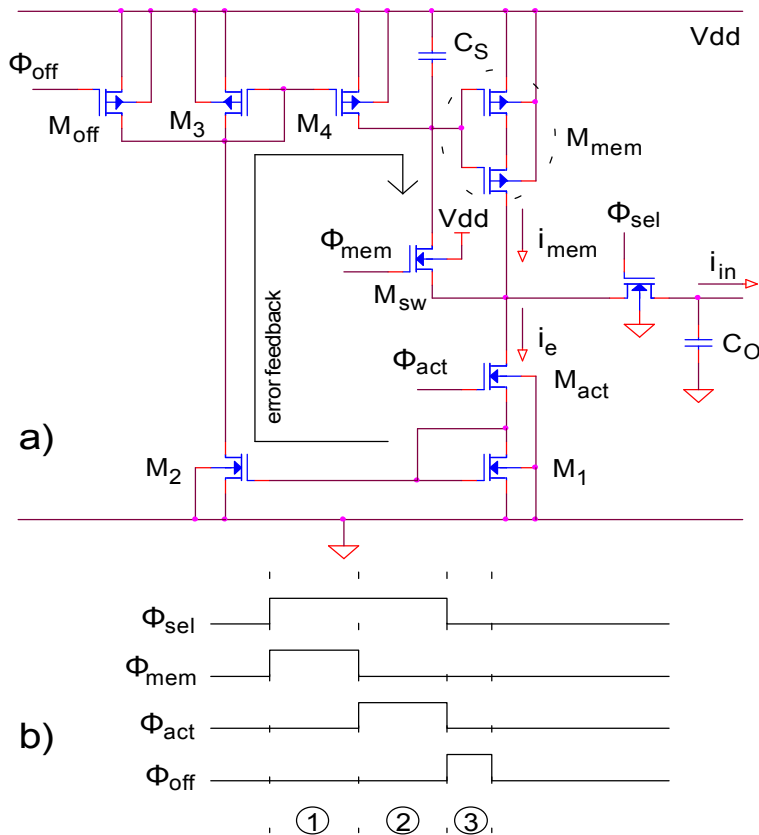
typický případ – S2I buňka (a její dokonalejší varianta S3I): vstupní fáze rozdělena na dvě („hrubá“-coarse, „jemná“-fine), rovněž dva paměťové tranzistory

coarse – slouží k zapamatování vstupní proudové hodnoty v „hrubé“ fázi

fine – zapamatování chyby nábojové injekce vzniklé v coarse

2. SI buňky s minimalizací chyb

2.1 Proudová buňka s „chybovou zpětnou vazbou“ (Switched-Current cell with continuous-time error feedback, [1])



kompensované chyby: nábojová injekce pro velmi malé proudy, zvětšený výstupní odpor

- vhodná i k zapamatování velmi malých proudů (pod 1 μ A)

fáze ϕ_1 : proud načten do M_{mem} (načtení vstupního proudu $i_{in}=i_{mem}$)

přechod fáze ϕ_1 – fáze ϕ_2 : nábojová injekce ve spínači M_{sw} způsobí chybu zapamatovaného proudu i_{mem}

fáze ϕ_2 : M_{mem} dodává proud i_{mem} , rozdíl $i_{mem}-i_{in}$ tvoří chybový proud i_e

proud i_e zrcadlen přes M_1 - M_2 M_3 - M_4 , nabíjí kondenzátor C_S – napětí působí na i_{mem} tak, že chybový proud i_e je zmenšován k nule.

fáze ϕ_3 : vybití C_S , obnova počátečních podmínek

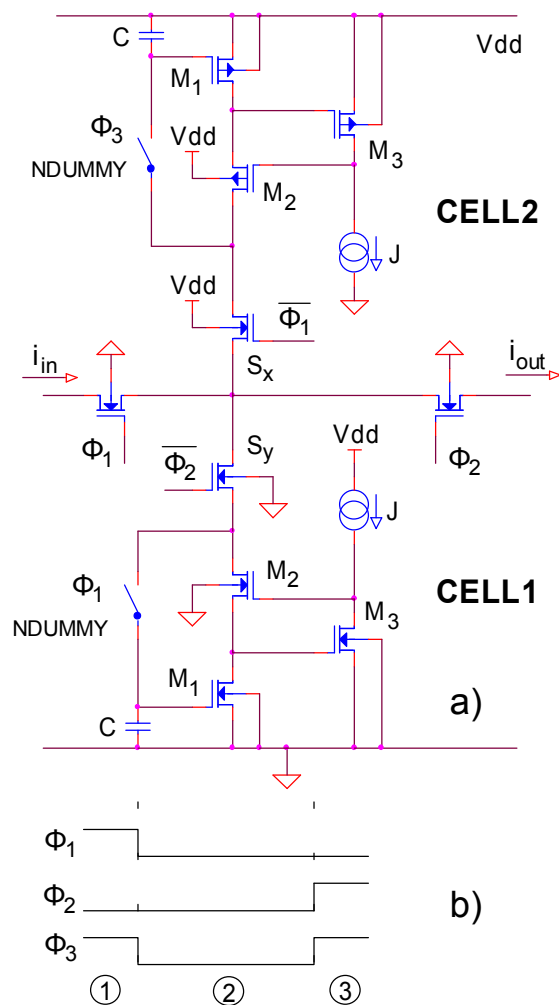
průběh kompenzace i_e je dán vztahem:

$$i_e(t) \approx I_e \exp\left(-\frac{\alpha g_{mm}}{C_{store}} t\right) \quad (1)$$

$I_e = i_e(t=0)$ počáteční hodnota chybového proudu, α ... souhrnný přenos zrcadel M1-M2, M3-M4, g_{mm} ... transkonduktance M_{mem} , C_{store} ... celková kapacita v odečítacím uzlu i_e

nevýhoda buňky: velmi malá rychlost, daná integrační konstantou cyklu

2.2 Dvojitá buňka s regulovanou kaskodou (Regulated cascode double memory cell [2])



kompensované chyby: nábojová injekce pro „střední“ rozsah vstupních proudů, zvětšený výstupní odpor

fáze ①: proud i_{in} zaznamenán do CELL1 - ndummy sepnut do komplexu reg. kaskody M1-M3

nábojová injekce na spínači ϕ_1 při přechodu do fáze ②...

fáze ②: přenos proudu z CELL1 do CELL2

nábojová injekce na spínači ϕ_3 při přechodu do fáze ③ ... (opačné polarity než u fáze ϕ_2)

fáze ③: přenos proudu z CELL2 na výstup (i_{out})



- jednoduchý double-sampling k potlačení chyb
- dvě komplementární buňky CELL1, CELL2 (pouze spínače stejného typu)

princip: chyby způsobené injekcí náboje mají téměř stejnou velikost, ale opačnou polaritu

celkový chybový proud dán vztahem:

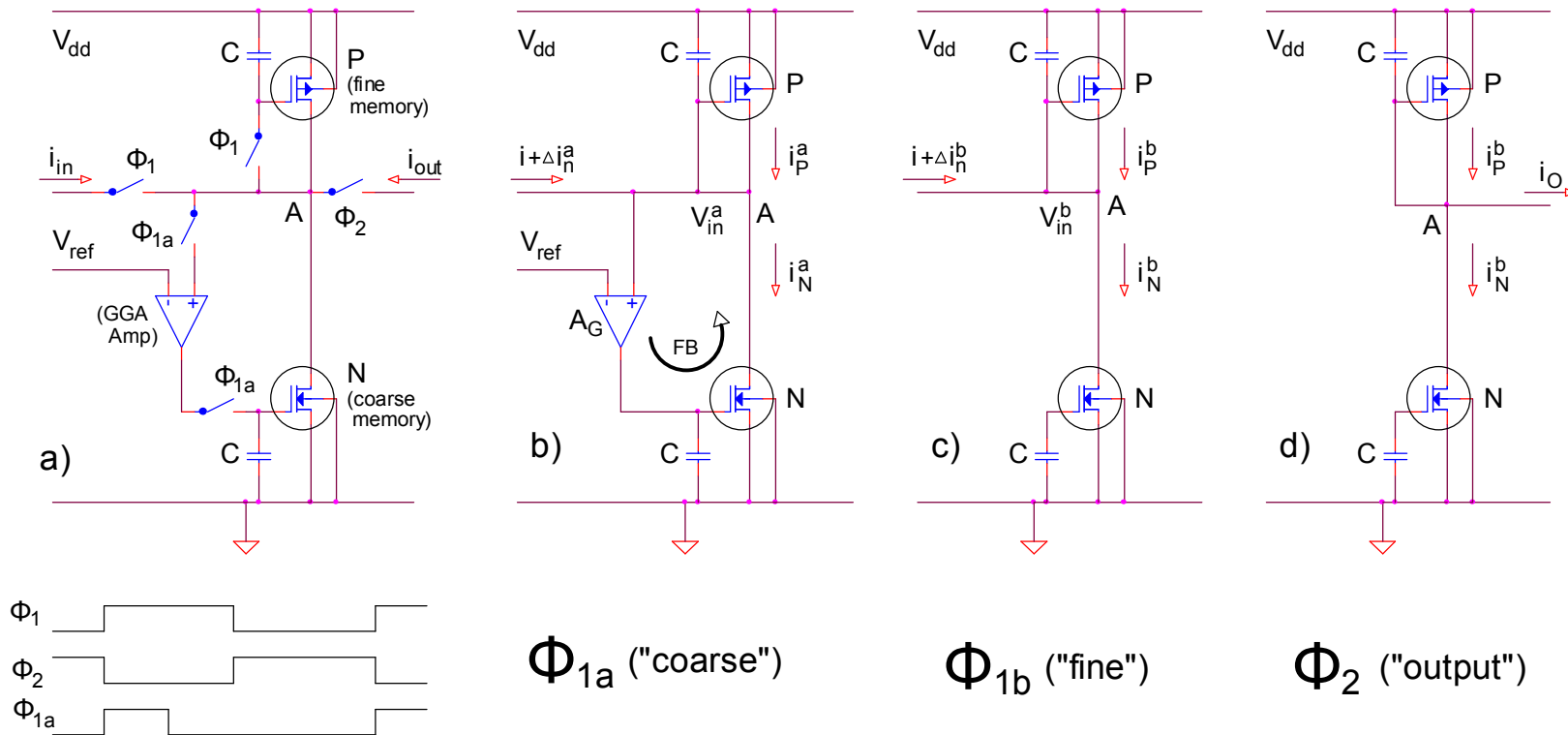
$$I_{e(tot)} = \frac{g_m C_{ox}}{2C} \left(2V_0 - V_{dd} + 2 \frac{i_{in}}{g_m} + \frac{I_{e1}}{g_m} \right) \quad (2)$$

I_{e1} chyba samostatné buňky (cell 1 nebo cell 2), g_m ... transkonduktance paměťového tranzistoru M_1 , V_0 ... minimální napětí V_{ds} M_1 pro činnost v lineární oblasti, C_{ox} ... kapacita na hradle paměť. tranzistoru, C ... přídatná paměťová kapacita

2.3 Buňka S3I a její vylepšené varianty

(S3I memory cell [3], S3I-GGA-casc memory cell [4])

kompensované chyby: nábojová injekce, snížení r_{in} , (event. zvýšení r_{out} u zdok. varianty)



a) Základní buňka S3I:

- uplatnění multiple-sampling ve vstupní fázi-buňka obsahuje „jemný“ (fine memory P) a „hrubý“ (coarse memory N) paměťový tranzistor, činnost rozdělena do podfází

fáze $\phi 1a$: horní část buňky (fine memory) funguje jako „předepínací“ proudový zdroj, spodní část plní funkci klasické buňky s paměťovým tranzistorem (coarse memory N). Zpětná vazba uzavřena přes GGA Amp, snižující vstupní odpor (udržování konst. napětí na vstupu buňky)

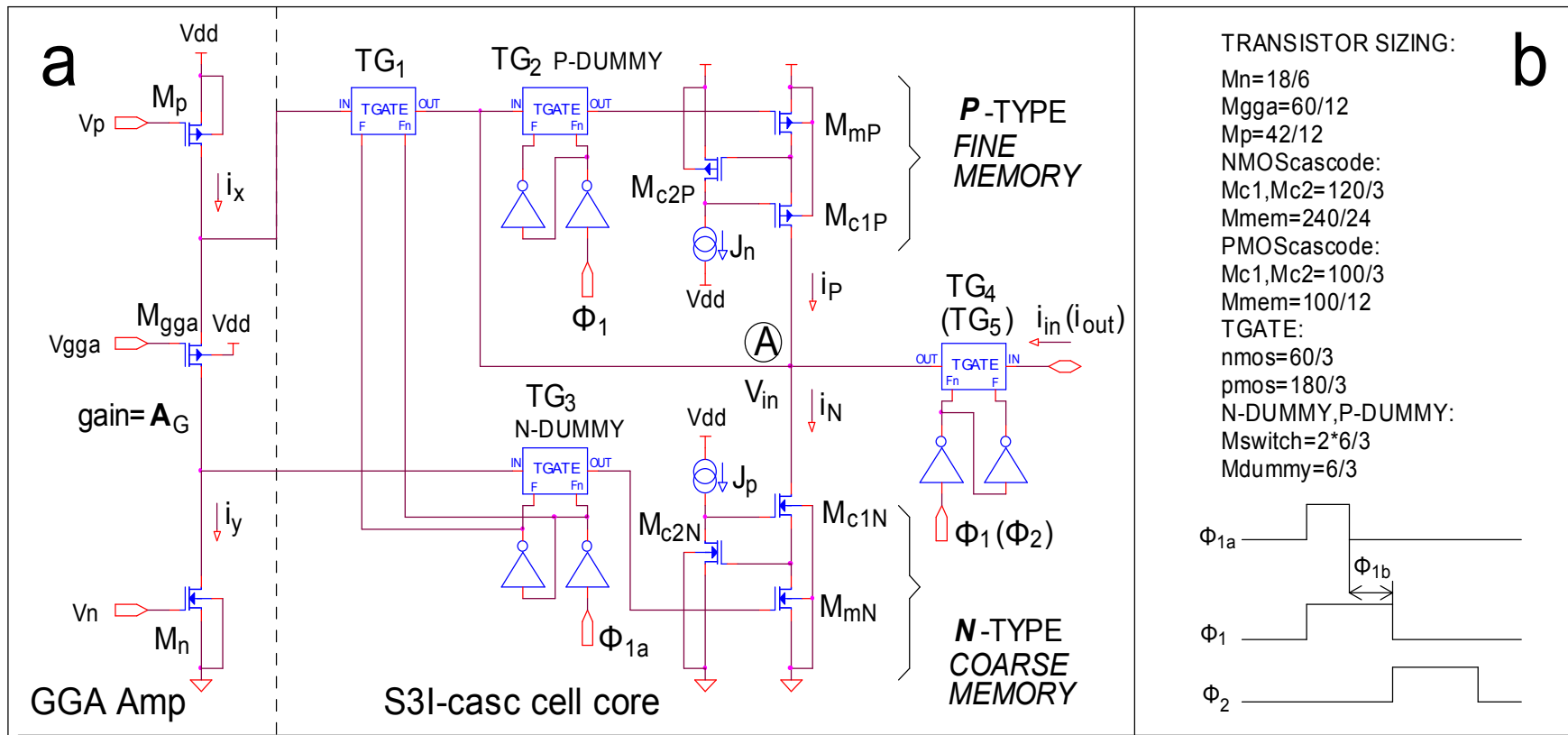
přechod fáze $\phi 1a$ do fáze $\phi 1b$ – nábojová injekce na coarse memory ...

fáze $\phi 1b$: spodní část buňky teče proud $i_{in} + i_{error}$ (náboj. injekce), horní tranzistor (fine memory P) zapojen jako dioda a natéká do něj proud $(i_{in} + i_{error}) - i_{in} = i_{error}$
- navržen pro velmi malé proudy! (chyba náboj. injekce musí být zanedbatelná...)

fáze $\phi 2$: obě části buňky (coarse i fine) poskytují výstupní proud – dochází k odečtení chyby náboj. injekce $i_{out} = (i_{in} + i_{error}) - i_{error} = i_{in}$

b) Vylepšená varianta S3I-GGA-casc

- obsahuje část známé buňky GGA- zesilovač GGAAmp obsahuje MOS v zapojení se společným gatem a dva proudové zdroje
- tranzistory fine a coarse nahrazeny zapojením regulovaných kaskod – zvýšení výstupního odporu



2.4 Porovnání parametrů buněk

parametr → buňka ↓	minimální perioda jednoho cyklu [μs]	specifický proudový rozsah Is [μA]	celková relativní chyba v rozsahu Is [ppm]	technologie	plocha buňky na čipu [mm ²]	výsledky
Proudová buňka s „chybovou zpětnou vazbou“	50	<0.2	100	2.4μ	2.3·10 ⁻³	měřeny
Dvojitá buňka s regulovanou kaskodou	0.7	50 to 85	200	2.4μ	5·10 ⁻³	měřeny
buňka S3I-GGA-casc	0.5	1 to 600	120	2.4μ	0.16	simulovány
	NA	1 to 350	50 @ 1250 Hz 200 @ 40 kHz			měřeny

Část II – úvod do aplikace a realizace SI obvodů

- *struktura A/D převodníku a úvod do mikroelektronické realizace SI buněk*

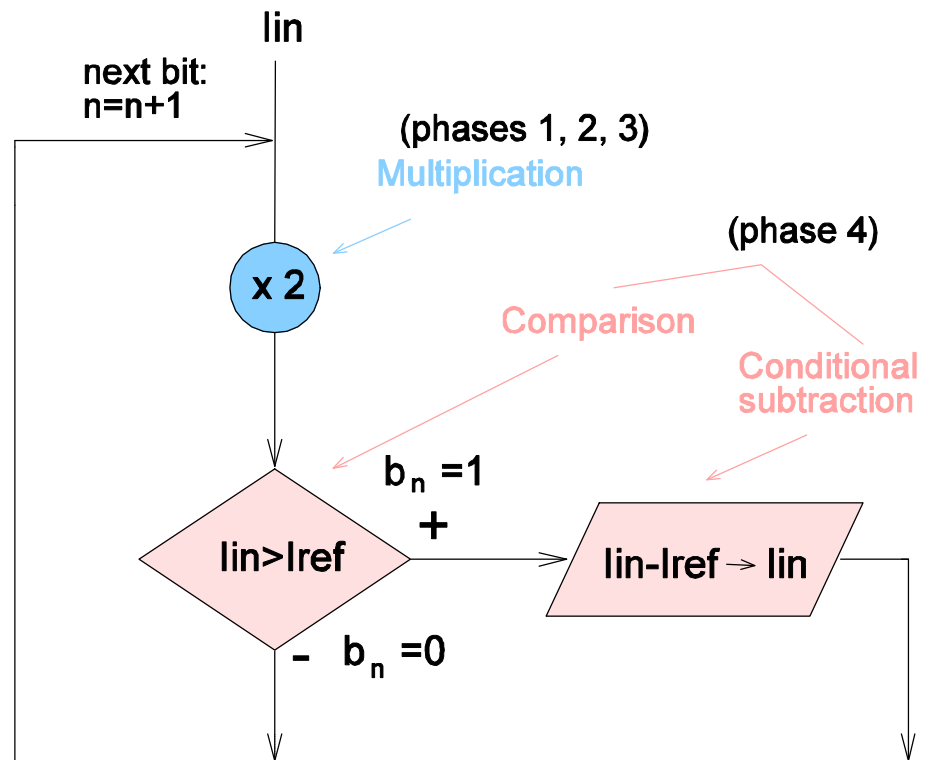
Cyklický algoritmus A/D převodu

Cíl návrhu: osmibitový cyklický převodník využívající SI buněk

⇒ speciálně vhodný je „jednobitový algoritmus bez návratu“ (*single-bit non-restoring algorithm*, [6])

Hlavní znaky:

- modifikovaný algoritmus RSD (postupná aproximace v jednobitové verzi)
- jeden bit je převeden ve čtyřech fázích (phase 1-4)
- stejná obvodová struktura pro libovolný počet bitů → jednoduchost návrhu, snížená spotřeba



Jak realizovat jednotlivé kroky algoritmu technikou spínaných proudů?

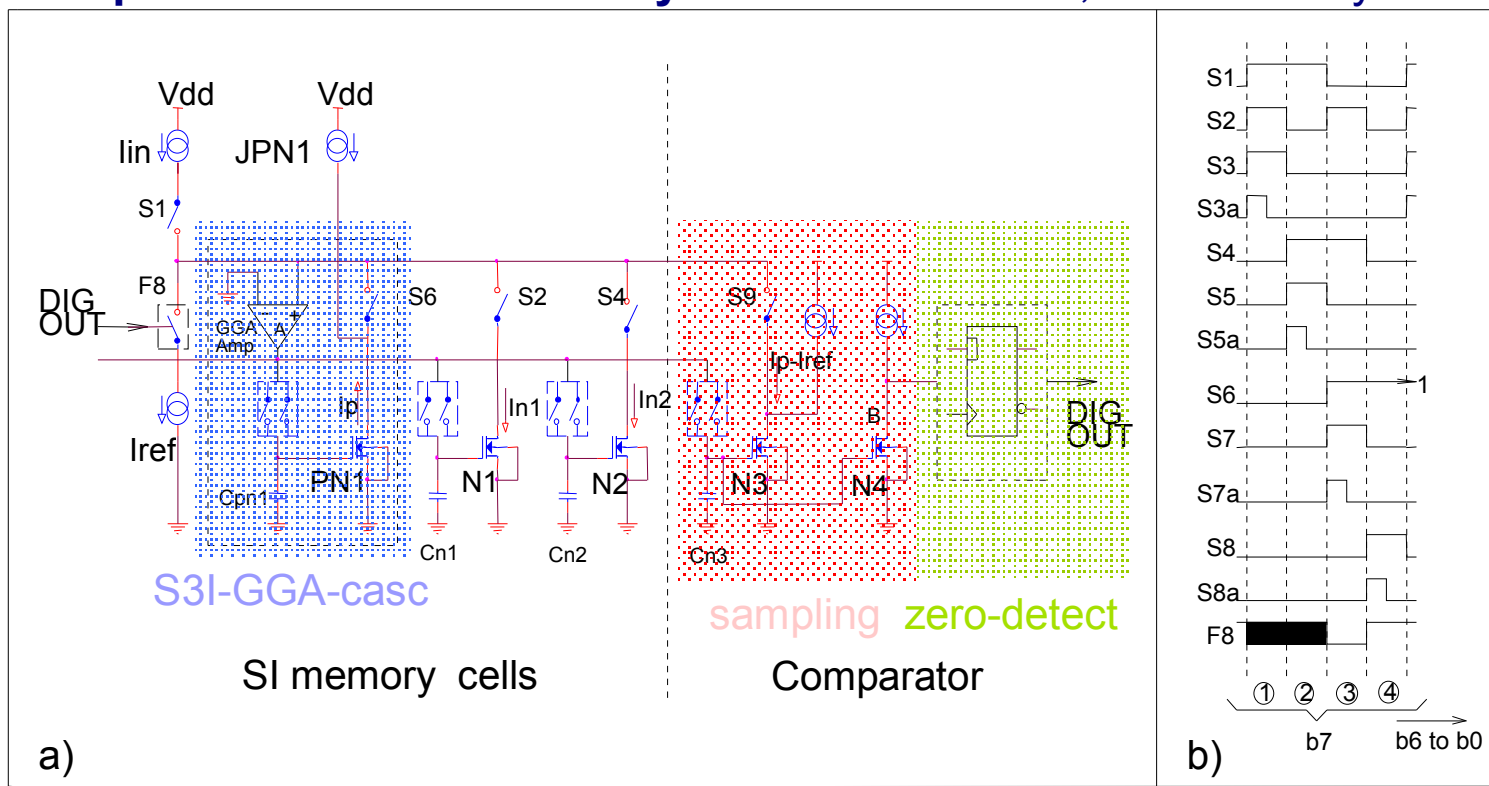
- **Násobení dvěma** (*multiplication*): - postupné načtení proudu do dvou SI buněk, sečtení výstupních proudů a zapamatování ve třetí buňce

- **Odečítání** (*subtraction*): - seriové spojení výstupů dvou SI buněk (proudy se odečtou)

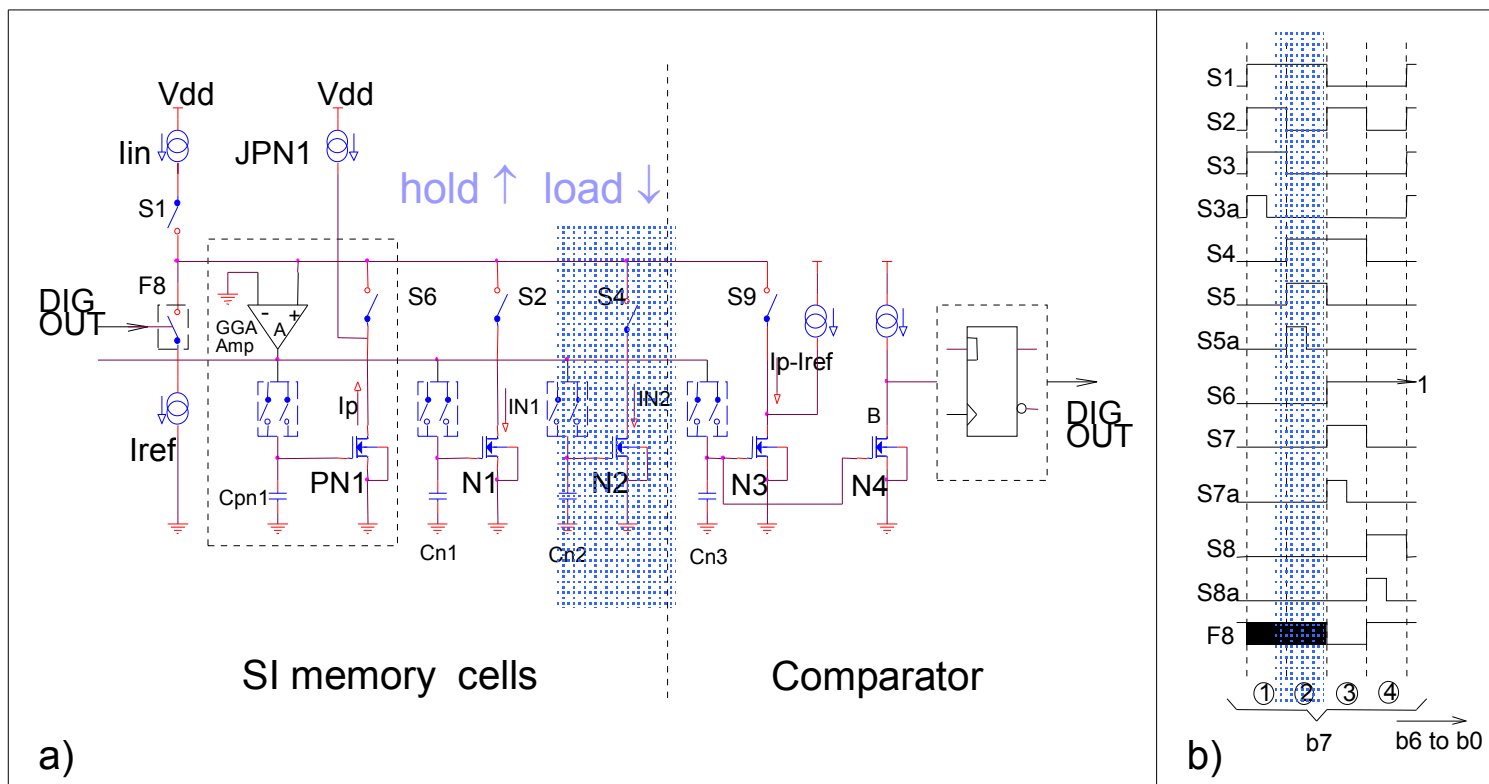
- **Porovnání** (*comparison*): - provedeno pomocí **odečítání**, znaménko výsledku se vyhodnotí v *detektoru průchodu nulou* (dále „*detektor nuly*“)

Obvodová realizace cyklického SI převodníku

- Čtyři buňky typu *S3I-GGA-casc* s komplexním potlačením chyb [5]
- Komparátor s uzavřenou smyčkou – vzorkování, detekce nuly

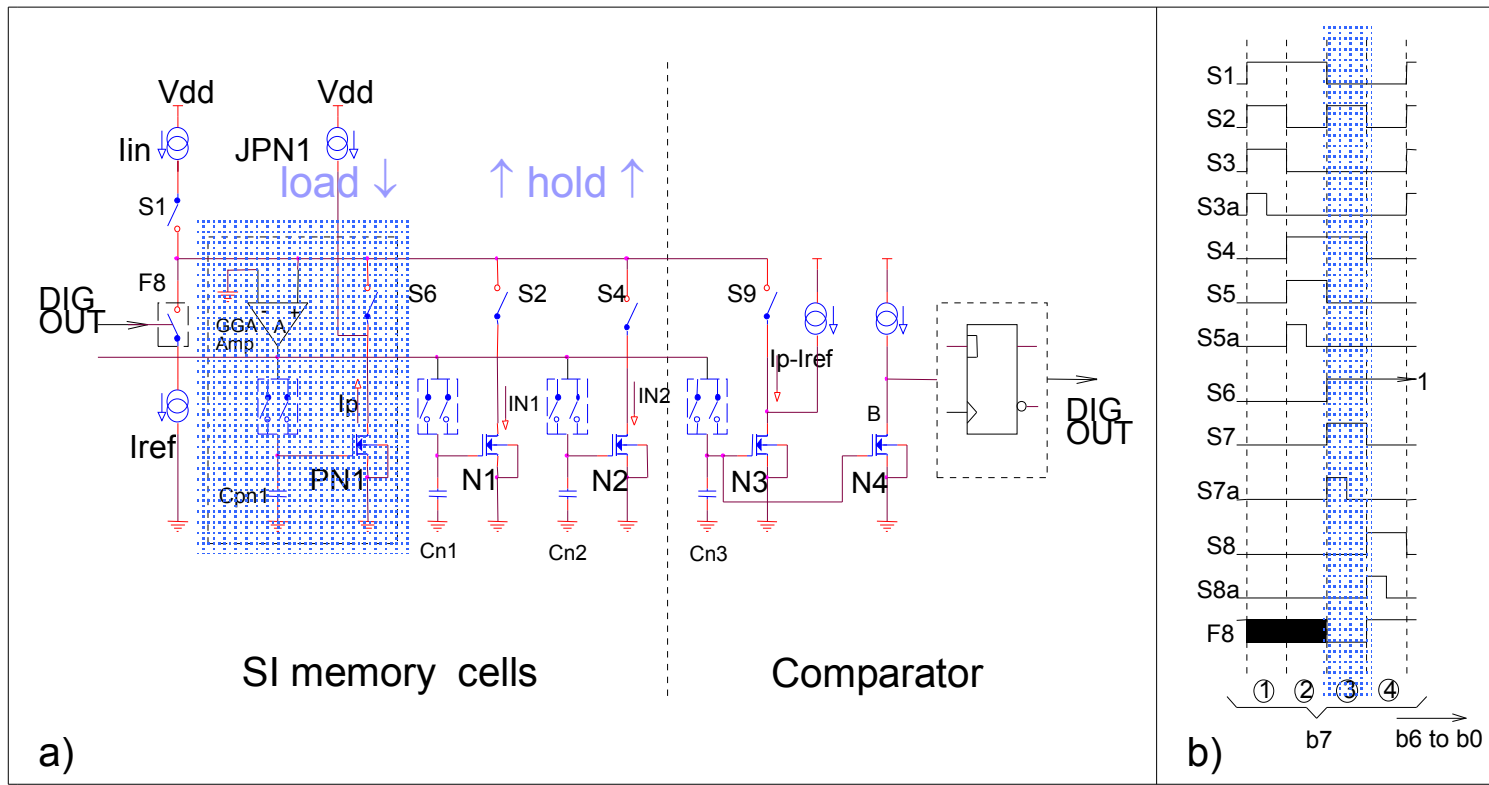


- Fáze 2: načtení proudu do buňky N2, proud N1 beze změny (zapamatován)**
 (N2=load, N1=hold)
nejvýznamnější bit (MSB) – načti proud i_{in}
další bity – načti zbytek po převodu (reziduum) i_{rn}

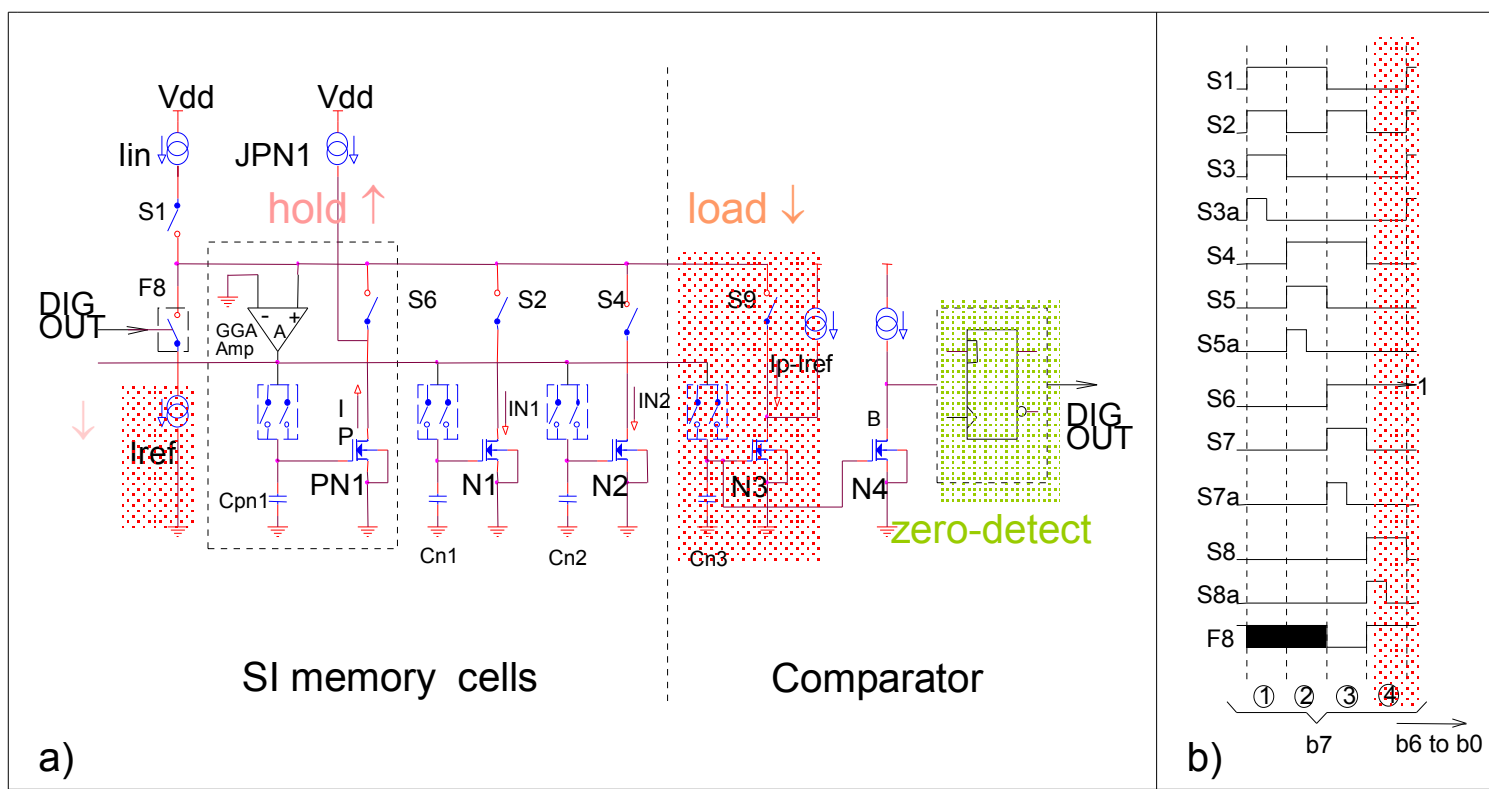


- **Fáze 3:** součet zapamatovaných proudů N1, N2 načti do buňky PN1 (PN1 load, N1,N2=holds)

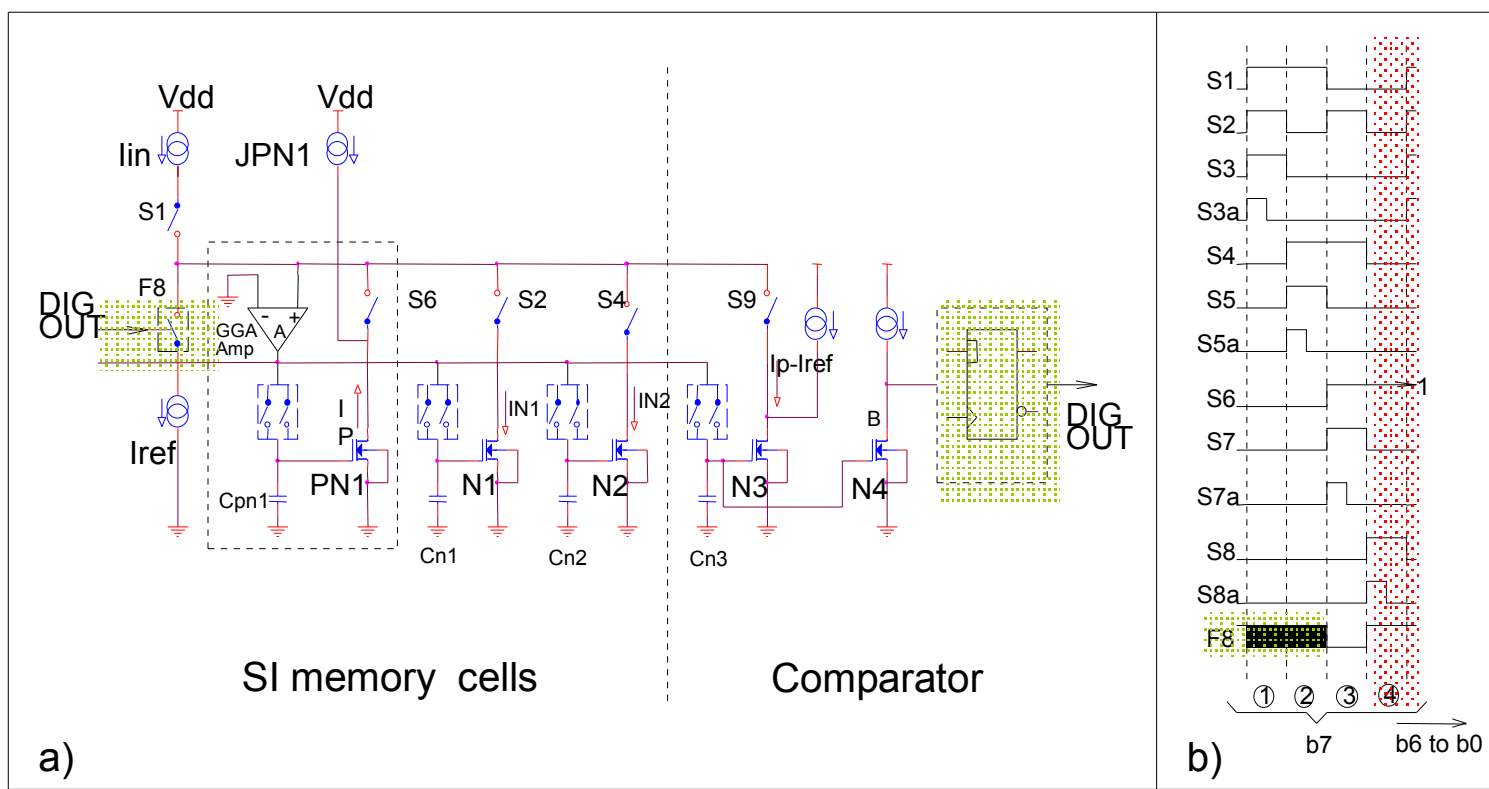
⇒ násobení dvěma hotovo (neboť $i_{PN1} = i_{N1} + i_{N2} = 2 \cdot i_{in}$)



- **Fáze 4:** načti rozdíl proudů i_{PN1} a i_{ref} do buňky N3 (PN1=hold, N3=load), Porovnání: rozhodni znaménko rozdílu v detektoru nuly (zero-detect)

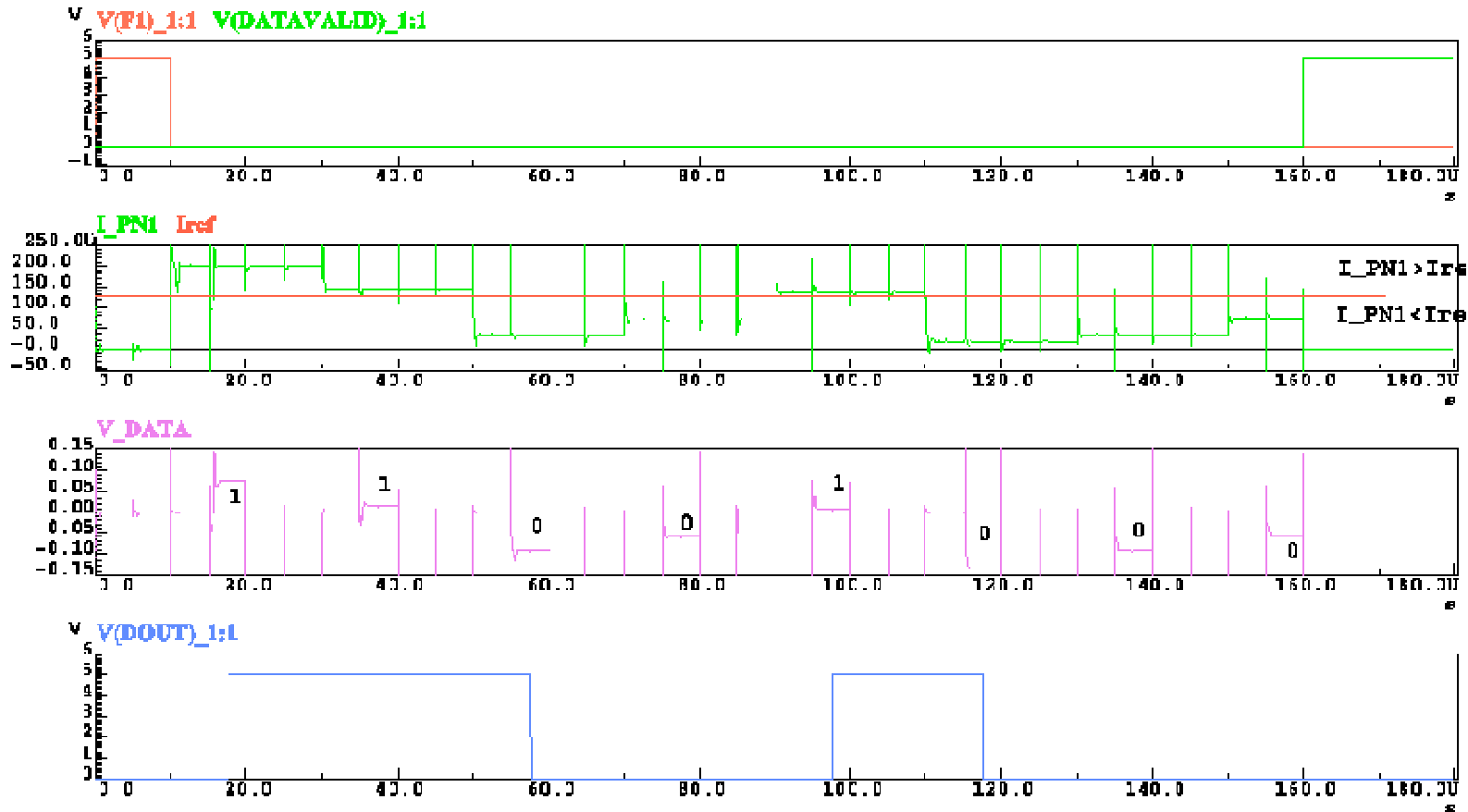


- **Fáze 4:** načti rozdíl proudů i_{PN1} a i_{ref} do buňky N3 (PN1=hold, N3=load),
Porovnání: rozhodni znaménko rozdílu v detektoru nuly (zero-detect)
Dokončení: rozhodni, zda i_{ref} bude odečten pro další bit



Ukázková simulace (SPICEový simulátor ELDO)

podmínky: $i_{in}=100 \mu\text{A}$, $i_{ref}=127.66 \mu\text{A} \rightarrow \text{code}=11001000$



Diskuse zvoleného řešení

Výhody A/D převodníků (a obecných systémů) na bázi techniky SI:

+ VÝHODY:

- Nenáročný návrh s nízkými požadavky na realizační technologii (na rozdíl od techniky SC nevyžaduje precizní poměry kondenzátorů ani kondenzátorová pole)
- Proces změny měřítka integrace („scalování“) je proto snazší než u SC, kde pole kondenzátorů mohou zabrat značnou část plochy čipu

- NEVÝHODY:

- Režim s nízkou spotřebou (low-power low-voltage) je těžko dosažitelný (vyžadoval by podprahový mód MOS tranzistorů v SI buňce -> špatné šumové parametry!)

Reference

- [1] Pain, B., Fossum, E. R.: "A current memory cell with switch feedthrough reduction by error feedback", *IEEE J. of Solid State Circ.*, vol. 29, No. 10, pp. 1288-1290, 1994
- [2] Leenaerts, D. M. W., Leeuwenburgh, A. J., Persoon, G. G.: A high-performance SI memory cell, *IEEE Journal of solid-state circuits*, vol. 29, No. 11, pp. 1404-1407, 1994
- [3] Hughes, J. B., Moulding, K. W.: "The S3I cell", *proceedings of the conference ISCAS 1997*, Hong Kong, pp. 113-116, 1997
- [4] Šubrt, O.: "A Versatile Structure of S3I-GGA-casc Switched-Current Memory Cell with Complex Suppression of Memorizing Errors", in: *Proc. IEEE Conf. ESSCIRC 2003*, pp. 587-590, Estoril, Portugal, 2003
- [5] Šubrt, O., Drechsler, P.: "High Performance Approach to Algorithmic A/D Converter Using New Types of Switched-Current Memory Cells", In.: *Proc. IFAC Workshop PDS 2003, Programmable Devices and Systems*, pp. 101-105, February 11-13, Ostrava, 2003

Další doporučená literatura

- [6] Toumazou, C., Hughes, J. B., Battersby, N. C.: *Switched-Currents an analogue technique for digital technology*, United Kingdom, Peter Peregrinus Ltd. 1993 – obsáhlá kniha o technice SI