

Sigma-delta modulátor

Vladimír Kafka
vkafa@seznam.cz

Abstract: The aim of this work is to design a sigma-delta modulator using switched capacitors technology. Clock frequency of modulator should be 2.048MHz and input frequency range 50Hz to 10kHz.

Key-words: Sigma-delta modulator switched capacitors

Abstrakt: Předmětem této práce bylo navrhnout modulátor sigma-delta s využitím techniky spínaných kapacitorů s hodinovým signálem 2.048MHz pro vstupní kmitočty 50Hz až 10kHz .

Klíčová slova: sigma-delta modulátor spínané kapacitory

1 Úvod

Sigma-delta ($\Sigma\text{-}\Delta$) modulátory jsou elektronické obvody, které převádějí vstupní analogový/digitální signál na diskretní/analogový signál na výstupu. Svým principem vychází z delta modulace. Delta modulovaný signál přenáší informaci o změně vstupního napětí, pro rekonstrukci signálu je pak potřeba tento signál integrovat. V $\Sigma\text{-}\Delta$ modulátoru je integrace (formou sčítání) předřazena řetězci.

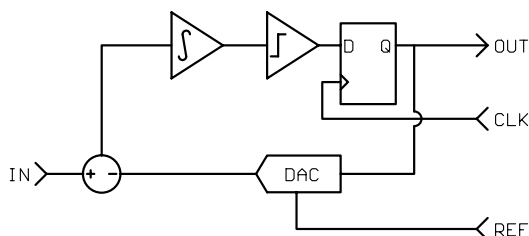
Protože se pracuje s diskretizací signálu, je nutné dodržet vzorkovací teorém, tedy vzorkovací kmitočet musí být více než dvakrát větší než nejvyšší frekvence v signálu obsažená. To v delta a $\Sigma\text{-}\Delta$ modulaci jistě splněno bude, signál je vždy výrazně převzorkován – již ze zadání je zřejmý žadáný poměr šířky pásma signálu k vzorkovací frekvenci. V našem případě 2048kHz/10kHz tj. převzorkování je přibližně 200x . Tato čísla dávají tušit, že využití $\Sigma\text{-}\Delta$ převodníků bude omezeno poměrně nízkými vstupními frekvencemi

2 Sigma-delta modulace

2.1 Modulátor

Blokové schéma $\Sigma\text{-}\Delta$ modulátoru je na obrázku 1 . Modulátor se skládá ze sumátoru (od vstupního signálu odečte signál zpětnovazební), integrátoru (napětí na jeho

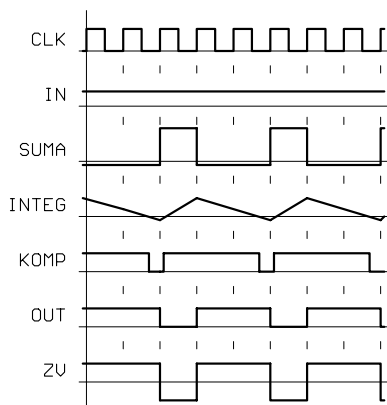
výstupu roste či klesá rychlostí úměrnou výstupu sumátoru), komparátoru (s digitálním výstupem, např. "H" pro vstup kladný a "L" pro vstup záporný), paměti (při vzestupné hraně hodinového signálu přenese vstupní úroveň na výstup a drží až do další vzestupné hrany) a ve zpětné vazbě je zařazen D/A převodník (jednobitový – při vstupu "L" připojí na výstup $-V_{\text{REF}}$ a při "H" $+V_{\text{REF}}$) . Celé zapojení je systém se zavedenou zápornou zpětnou vazbou.



Obr. 1: Blokové schéma $\Sigma\text{-}\Delta$ modulátoru

Pro vysvětlení funkce jsou na obrázku 2 naznačené průběhy napětí za jednotlivými bloky. Ve zjednodušeném příkladu je uvažován konstantní vstupní signál. Pro pochopení je výhodné začít rozbor od prostředí. V obvodu jsou dvě místa se zapamatováním stavu – integrátor a paměťová buňka. Zejména u integrátoru je potřeba znát výchozí stav. Uvažujme tedy výstup integrátoru INTEG v kladné hodnotě. Výstup navazujícího komparátoru KOMP tedy je "H" a při

příchodu první vzestupné hrany je přenesena na výstup OUT, zároveň je vstupem pro digitálně/analogový převodník, jehož výstup ZV je pak $+V_{REF}$.



Obr. 2. Příklad časových průběhů

Tato hodnota se v sumátoru odečítá od vstupního napětí IN a jako SUM tvoří vstup integrátoru. SUM je po první vzestupné hraně hodin malý záporný signál, tedy INTEG pomalu klesá. Při příchodu druhé vzestupné hrany hodin je výstup integrátoru stále kladný, tedy na OUT se opět zapíše "H" a děj pokračuje. V dalším intervalu přejde výstup integrátoru do záporné hodnoty, což respektuje komparátor a KOMP přejde do "L", nic víc se však nezmění až do příchodu hodinového pulsu. Jeho vzestupná hrana přenese "L" na výstup OUT a tím D/A převodník (DAC) změní hodnotu ZV na $-V_{REF}$. V tom okamžiku se změní i součet SUM, který je pak kladný a větší než byl. Výstup integrátoru tedy poroste, poroste mnohem rychleji než předtím klesal, záhy přejde opět do kladné hodnoty, což se opět projeví na komparátoru a celý děj se v této smyčce neustále opakuje.

Aby smyčka ZV zůstala uzavřena, musí vstupní napětí být v intervalu $(-V_{REF}; +V_{REF})$.

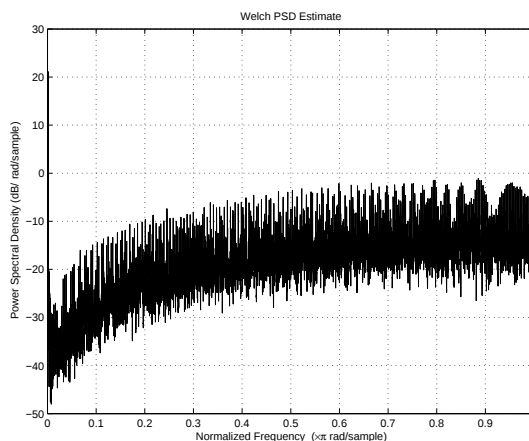
Rychlost růstu/poklesu napětí na výstupu integrátoru je úměrná (proporcionální) velikosti a polaritě vstupního napětí. Proto se Σ - Δ modulace někdy nazývá pulsně-proporcionální. Je tu jista podobnost s pulsně-šířkovou (PWM) modulací. U obou je střední

hodnota výstupního signálu úměrná vstupnímu signálu, ale u PWM je konstantní frekvence a šířka pulsu je hodnota spojitá, tedy lze říct, že PWM signál není diskretní. Naproti tomu Σ - Δ signál má hodinovými pulsy definovaný rastr do kterého musí šířka pulsů a mezer padnout. Signál je pak reprezentován sledem různých (ale diskretně) širokých pulsů a mezer, kterých je v určitém časovém horizontu diskretní počet, tedy výsledná střední hodnota je také diskretní – skutečně signál diskretizuje.

Příklady signálu z idealizovaných simulací v Matlabu jsou v příloze.

2.2 Použití

Σ - Δ modulatory se používají zejména jako součást analogově/číslíkových převodníků (ADC). Σ - Δ ADC se skládá z modulatoru, za který je zařazen decimální filtr. Tento filtr je již řešen plně číslíkově a obstará tři činnosti, které budou vysvětleny v dalším textu. Na obrázku 3 je frekvenční spektrum Σ - Δ signálu (na výstupu modulatoru) v simulaci programem Matlab. Simulace byla provedena s dostatečně dlouhou posloupností, ale na jednoduchém modelu. Modulátor byl buzen harmonickým signálem 1.5kHz a hodinový kmitočet byl 2MHz.



Obr. 3 : Spektrum Σ - Δ signálu

Spektrální čára vstupního signálu 1.5kHz je velká 20dB a je zdánlivě v počátku frekvenční osy, ale to je dáno měřítkem osy – taktovací frekvencí (osa je do $1 \cdot \pi$ rad/sample $\approx$ 1MHz). Zbytek spektra reprezentuje

kvantizační šum. Na kmitočtu do několika kHz je zřejmě úroveň šumu cca o 60dB nižší než úroveň signálu, což je výhodné. Σ - Δ modulátor využívá vysoký stupeň převzorkování, čímž rozprostře kvantizační šum do širokého spektra. Pro vyšší frekvence navíc úroveň šumu roste, což ale nevadí, protože vyšší frekvence prostě potlačíme výstupním filtrem. To je jeho první úkol. Druhým úkolem filtru je decimace signálu – snížení jeho vzorkovacího kmitočtu. Celkově je zpravidla hodinový kmitočet decimován 64x až 256x (tím se dostane ekvivalentní vzorkovací kmitočet – i ten musí vyhovovat vzorkovacímu teorému). Třetí úkol filtru je poskytnout výstupní digitální číslo v paralelní formě, kterou lze snadno dále číslicově zpracovat.

Uveďme několik čísel na příkladu ADC firmy Analog Devices AD1871 . Lze jej nakonfigurovat do různých režimů. Taktovací kmitočet modulátoru je 6.144MHz , decimací koeficient může být 64 nebo 128, tomu odpovídá ekvivalentní vzorkovací kmitočet 96kHz resp. 48kHz . Σ - Δ modulátor je zde použit druhého řádu (prosté rozšíření základního o druhou sumaci a integraci), který dosahuje mnohem lepšího odstupu signálu od šumu. Jako decimální filtr je použit FIR implementovaný v zainegrované DSP struktuře.

A proč to všechno ? Tyto převodníky dokáží výtečně potlačit šum, pro mnoho účelů dostačuje i jejich ekvivalentní vzorkovací kmitočet a hlavně jejich rozlišení bývá **20 až 24 bitů** . Takové lze dosáhnout snad jen integračními převodníky, ale s řádově nižší vzorkovací frekvencí.

Druhým možným využitím je proporcionální regulace např. toných těles apod. kdy může být výhodnější než PWM vzhledem k dalšímu řízení.

Dále je možná PWM za Σ - Δ v zesilovačích. Těžko odhadnout praktické využití – asi nebude valné, vzhledem k tomu že maximální frekvence výkonových prvků není dost vysoká na to, aby bylo možné dost velké převzorkování.

Nejdůležitější význam je každopádně v převodnících, které jakkoliv se zdají pomalé jsou dost rychlé vzhledem k jejich rozlišení.

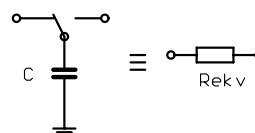
3 Spínané kapacitory

Technologie spínaných kapacitorů (SC) je již dlouho známá a s příchodem technologie CMOS i poměrně snadno realizovatelná a dnes již i na poměrně vysokých kmitočtech.

Motivací lze nalézt několik, nejpodstatnější však je náhrada některých součástek v integrovaných technologiích. Např. realizace lineárního odporu je problematická, drahá a výsledný odpor nemá přesnou hodnotu. Řešením je spínaný kapacitor. Lze také realizovat součástky "podivné", jako například záporný odpor. Lze pak realizovat např. "RC" filtr bez odporů, navíc přeladitelný pouze změnou taktovací frekvence spínačů. Další výhodou je definovatelnost – sice nejsme schopni vyrobit integrovanou kapacitu s požadovanou přesností, ale **poměr** dvou kapacit na jednom čipu bude zachován mnohem přesněji.

Při přechodu od odporů ke SC dochází k diskretizaci signálu v čase, tedy 1/ je nutné dodržet vzorkovací teorém a 2/ při matematickém popisu je třeba od Laplaceovy transformace přejít do Z-roviny.

Nebudeme se zde pouštět do hlubokého studia, co bude použito v návrhu bude patřičně popsáno. Zde bych pouze uvedl základní náhradu rezistoru.



Obr. 4 : Náhrada rezistoru

Bude-li přepínač přepínán s frekvencí f , mezi svorkami může protékat proud – vyrovnáváním náboje kapacitoru na napětí příslušné právě připojené svorky (vztažené proti zemi) . Platí pak, že

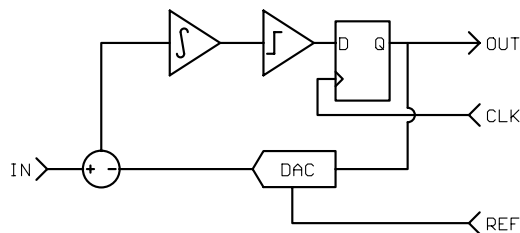
$$R_{ekv} = \frac{1}{C \cdot f}$$

Je vidět, že hodnotu odporu lze nastavit změnou frekvence (tedy realizovat například) přeladění filtru.

4 Sigma-delta modulátor s SC

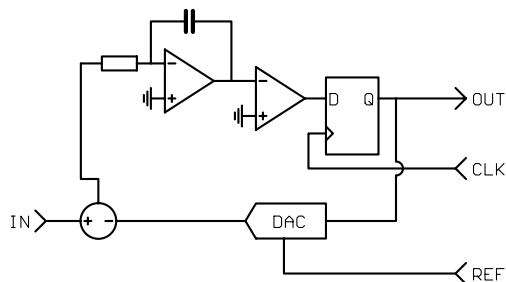
4.1 Návrh

Při návrhu jsem přímo vyšel z blokového schématu z obrázku 1 (stejný jako obrázek 5).



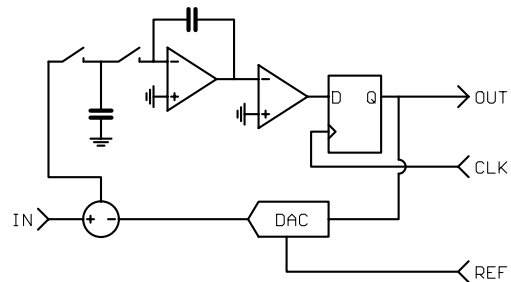
Obr. 5 : Blokové schéma Σ - Δ modulátoru

Idealizovaný integrátor a komparátor nahradil součástkami bližšími realitě, viz obrázek 6 .



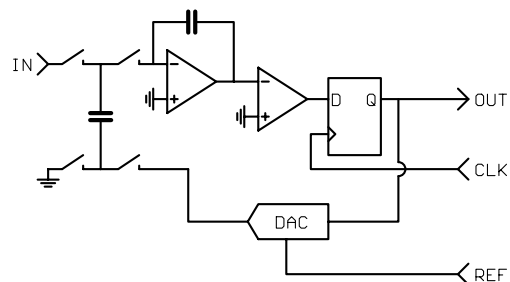
Obr. 6 : Analogové náhrady

Jak bylo uvedeno, odpor lze nahradit SC , tedy dostaneme obvod na obrázku 7 . Rezistor je nahrazen podle obrázku 4 . V SC technologiích nejsou realizovatelné přepínače, proto se nahradí dvěma spínači, které spínají v protifázi. Zde je vidět, že integrátor funguje přenášením náboje ze vstupního kondenzátoru, který se v první fázi nabije na vstupní napětí a ve druhé fázi vybije na nulu (virtuální zkrat na vstupu zesilovače) a celý svůj náboj předá kondenzátoru ve zpětné vazbě.



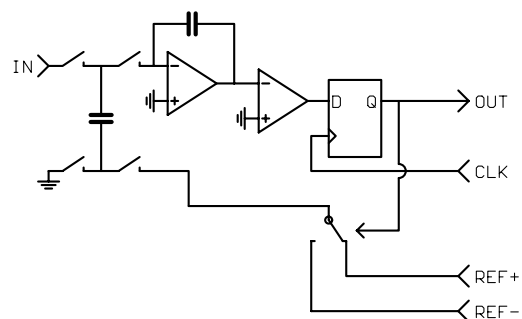
Obr. 7 : Zavedení SC

Ze zdrojů využívajících nábojové pumpy je známo, že náboje lze snadno sčítat. Bude tedy výhodné přidat další pár spínačů a zpětnovazební napětí odečítat od vstupního právě v integrátoru. Situace pak je znázorněna na obrázku 8 .



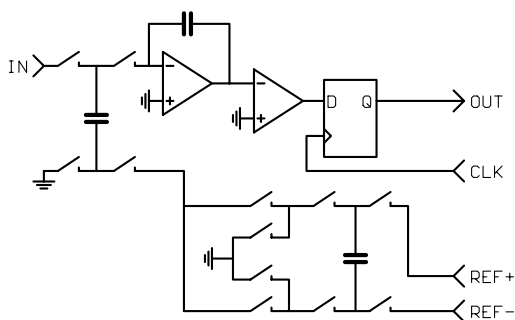
Obr. 8 : Přičtení ZV

Nyní vyřešíme DAC. Požadavek byl, aby při vstupu "L" připojil na výstup $-V_{REF}$ a při "H" $+V_{REF}$. Protože se však napětí v investoru sčítají, je nutno požadavek obrátit – tím dojde k odečtení. Naznačení funkce je na obrázku 9 , přepínač pak opět nahradíme spínači.



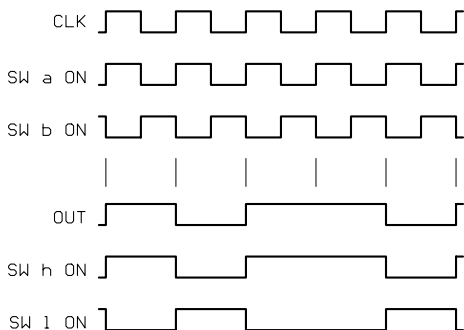
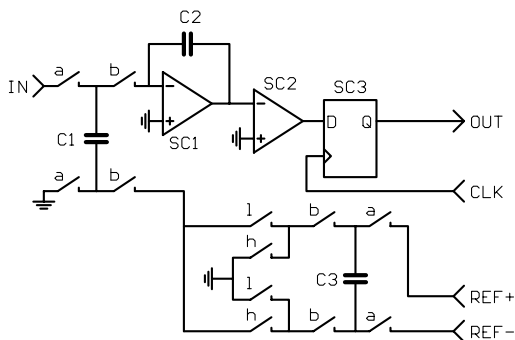
Obr. 9 : Funkce DAC

Nastal zde však nový problém – REF+ a REF- musí být symetrické a vztažené oproti zemi. To je však není konstrukčně výhodné, nejlepší je použít jedinou referenci. Můžeme obvod přizpůsobit tak, jak je znázorněno na obrázku 10.



Obr. 10 : Připojení reference

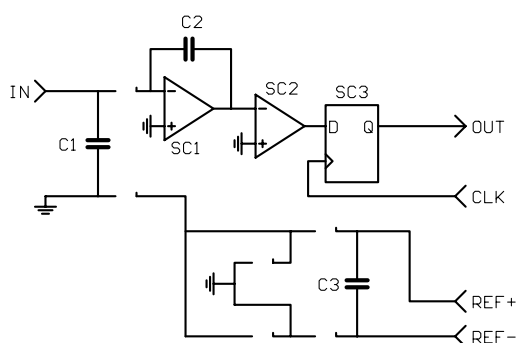
Celkové schéma včetně časovacích signálů je na obrázku 11.



Obr. 11 : Celkové schéma a časování

Na obrázku 11 je schéma Σ - Δ modulátoru a průběhy řízení spínačů. Spínačů jsou dvě sady – jedna řízená přímo taktovacím signálem (označeny **a** , sepnuty, když CLK = "H") a jeho inverzí (označení **b** , sepnuty při CLK = "L") a druhá výstupním signálem OUT (spínače **h** sepnuty při OUT = "H" a **l** při OUT = "L").

Při CLK = "H" jsou sepnuty spínače **a** a topologie obvodu je na obrázku 12 (předpokládáme např. OUT = "L").



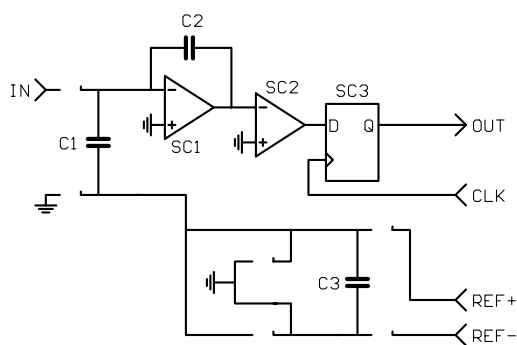
Obr. 12 : Topologie obvodu při sepnutých spínačích **a** (a také **l**)

Kapacitor C1 se nabije na hodnotu vstupního napětí. Na svorky REF musí být připojeno referenční napětí, které nemusí (ale může) být v jakémkoliv vztahu vůči zemi. Prakticky by asi svorka REF- byla uzemněna a REF+ připojena na referenční zdroj V_{REF} , které se zapamatuje na kapacitoru C3 . Na pozici přepínačů realizujících DAC (spínače řízené **h** a **l**) ve fázi **a** nezáleží.

Po přechodu do CLK = "L" budou sepnuty spínače **b** a topologie přejde do uspořádání naznačeného na obrázku 13 .

Svorky REF se úplně odpojí, kapacitor C3 se připojí jedním koncem na zem, druhým se přičte k vstupnímu napětí, zapamatovanému na C1. Tím se dostáváme do situace, která výše byla žádána – máme referenci vztaženou proti zemi a pomocí spínačů **h** a **l** ji lze pólovat kladně nebo záporně – tím je realizována funkce DAC. Je tu však jeden detail, kterému je dobré věnovat pozornost. Nejedná se totiž v pravém smyslu o referenční napětí, ale o referenční náboj. Na obrázku 13 je zřejmá sériová konfigurace C1-C3 při

sepnutí spínačů **b** . Protože na vstupu zesilovače SC1 je virtuální zkrat, výsledné napětí na C1-C3 je nulové, tj. musela část jejich náboje odejít a je uložena do integračního kapacitoru C2 – tato část je právě hodnota daná rozdílem nábojů na C1 a C3 . Při realizaci C1=C3 je rozdíl nábojů roven rozdílu napětí. Zde je vidět, že opravdu funguje sčítání vestavěné do bloku spínaného integrátoru. Podle stavu výstupu OUT se nastaví spínače **h** a **l** , tím se polarizace připojení C3 k C1 a tím přičtení/odečtení V_{REF} .



Obr. 13: Topologie obvodu při sepnutých spínačích **b** (a spínačích **l**)

Protože integrátor s SC1 je řešen jako invertující je také komparátor SC2 invertující a celková polarita je správná. Komparátor SC2 je třeba vyřešit tak, aby jeho výstup byl napětově kompatibilní se vstupem D-latch klopného obvodu (např. v napětových úrovních CMOS, dle použité technologie).

Hodnota integračního kapacitoru C2 v simulacích neměla na výsledky příliš velký vliv – s rostoucí kapacitou se úměrně snižoval rozkmit na výstupu integrátoru, ale protože dále se vyhodnocuje jen znaménko není tento rozkmit důležitý. To platí v simulacích, v praxi to říci nelze. Reálně totiž komparátor SC2 bude mít nenulový offset a proto vy se hodilo kapacitu C2 volit menší, aby se zvětšil výstupní rozkmit integrátoru. Naproti tomu zesilovač SC1 bude mít nenulové vstupní proudy a také se projeví svodové proudy do dalších částí obvodu, které by mohly ovlivňovat naintegrovanou hodnotu a zejména při nízkých vstupních kmitočtech by mohly mít velký vliv a proto by bylo vhodné C2

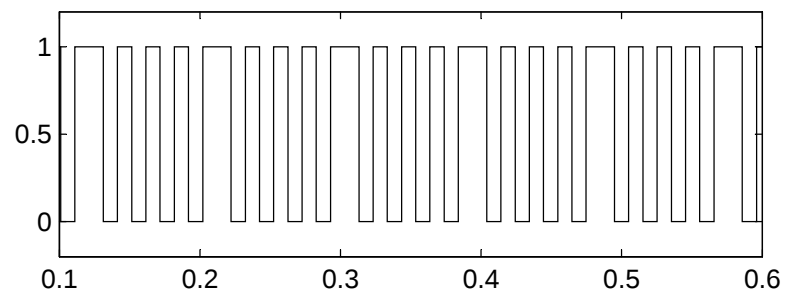
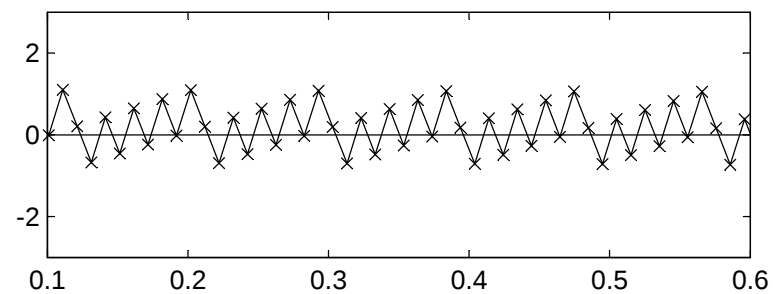
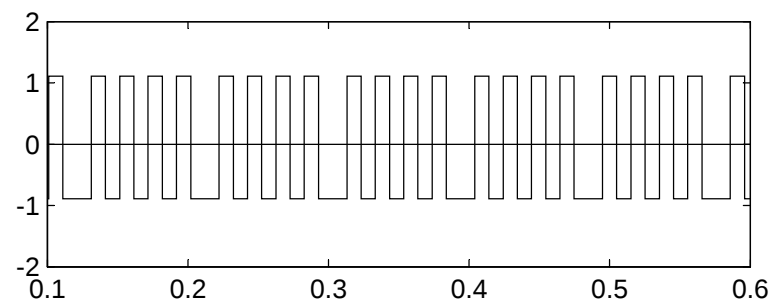
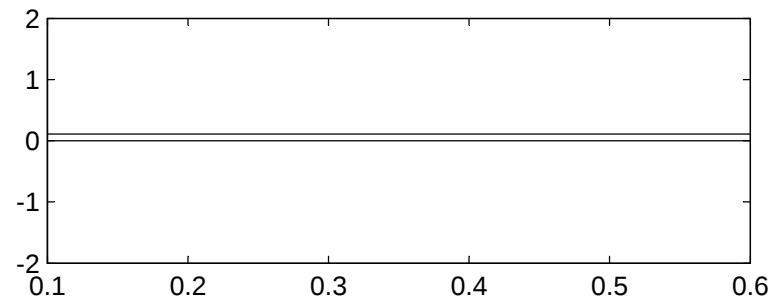
posouvat k vyšším hodnotám. Při simulacích jsem používal $C1=C2=C3=10\text{pF}$, pro integraci by bylo zajímavé pokusit se tyto hodnoty co nejvíce snížit pro minimalizaci plochy čipu. Ve většině simulací jsem neuvažoval odpor sepnutého spínače, ale ověřil jsem i tento vliv. Na výstup neměla fatální vliv ani hodnota odporu sepnutého spínače až do cca $1\text{k}\Omega$, což je hodnota v CMOS technologii realizovatelná bez valných problémů.

K simulaci jsem použil program Electronics Workbench, jeho výstup pro harmonický vstupní signál je v příloze – vstup vs. výstup a dále vstup vs. integrátor.”

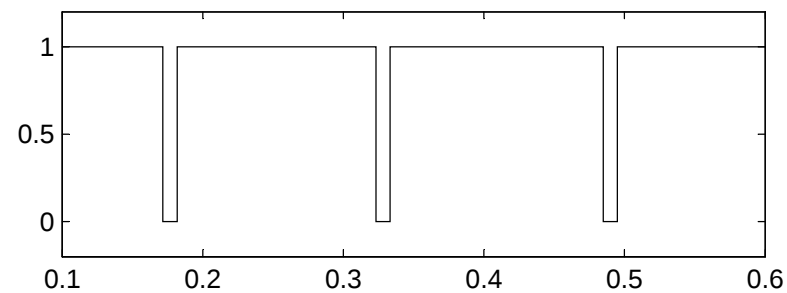
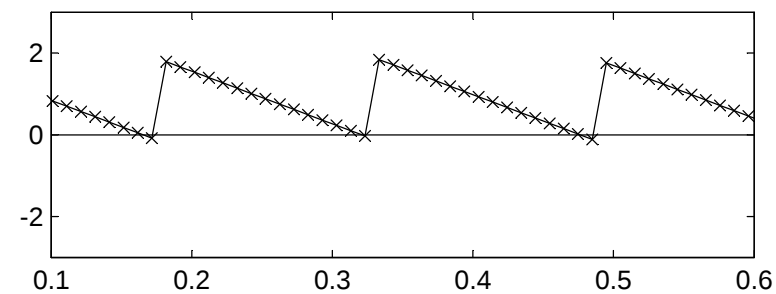
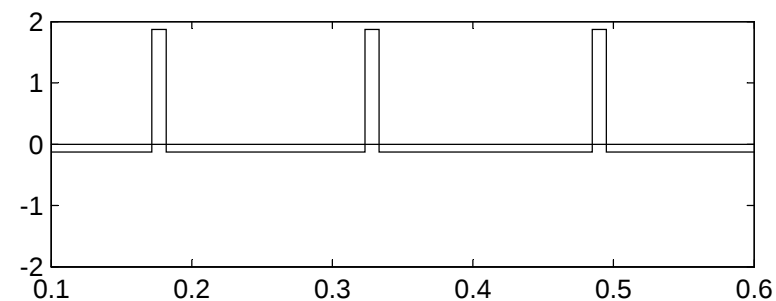
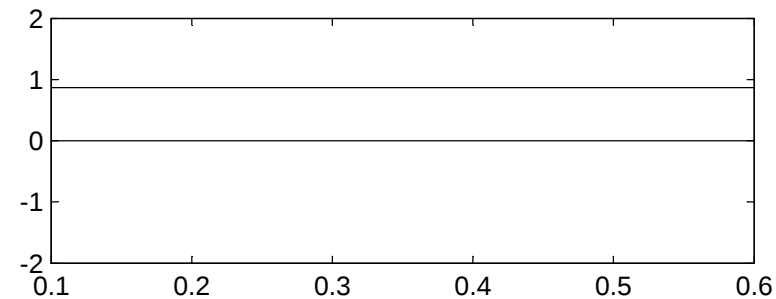
5 Vyhodnocení

Účelem práce bylo navrhnout řešení Σ - Δ modulátoru. Přibližná idea možného řešení byla předložena a simulována. Jedná se o jednu z nejjednodušších cest. Prakticky každý renomovaný výrobce integrovaných obvodů má ve své nabídce převodník se Σ - Δ modulátorem, ale již jeho blokové schéma se značně liší od uvedeného. Σ - Δ převodníky s využitím SC jsou zcela jistě výtečnou ale také již dostatečně propracovanou technologií pro vzorkování zvuku a podobných signálů, s velkým dynamickým rozsahem a ne příliš širokým spektrem, a od dalšího výzkumu v této oblasti bych již velká očekávání neměl.

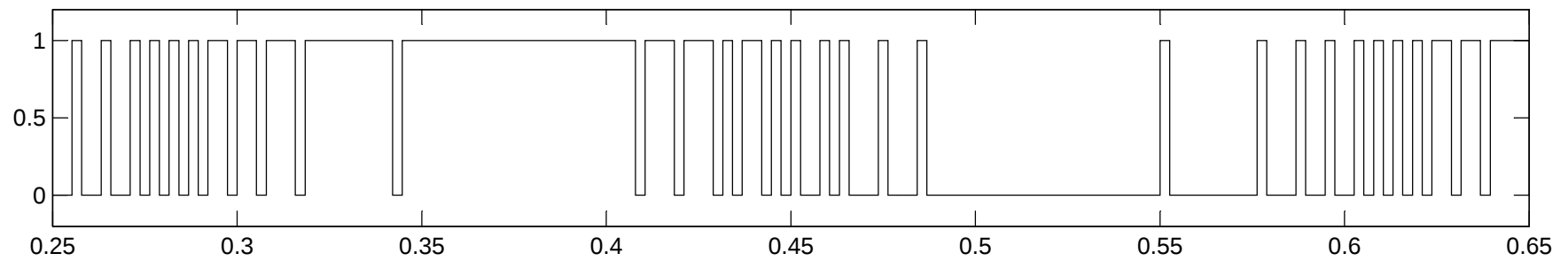
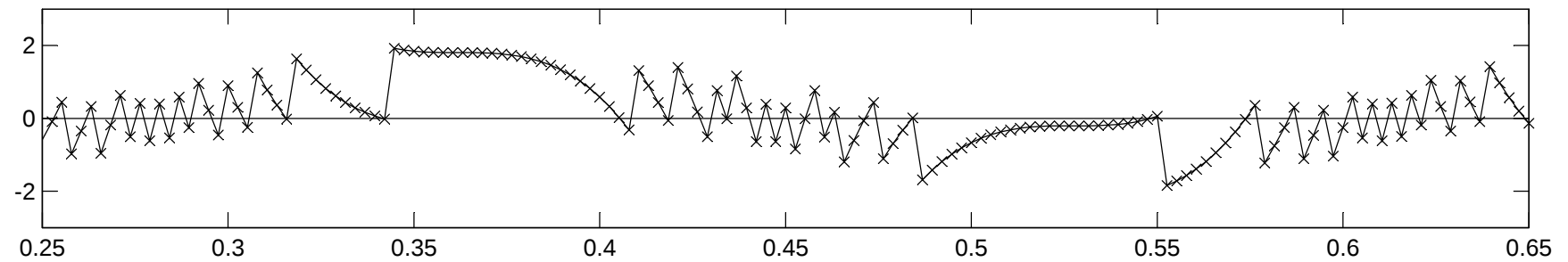
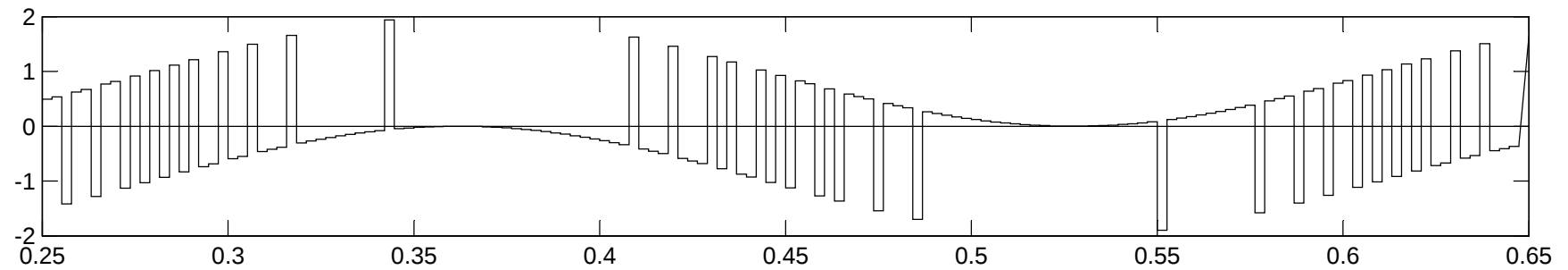
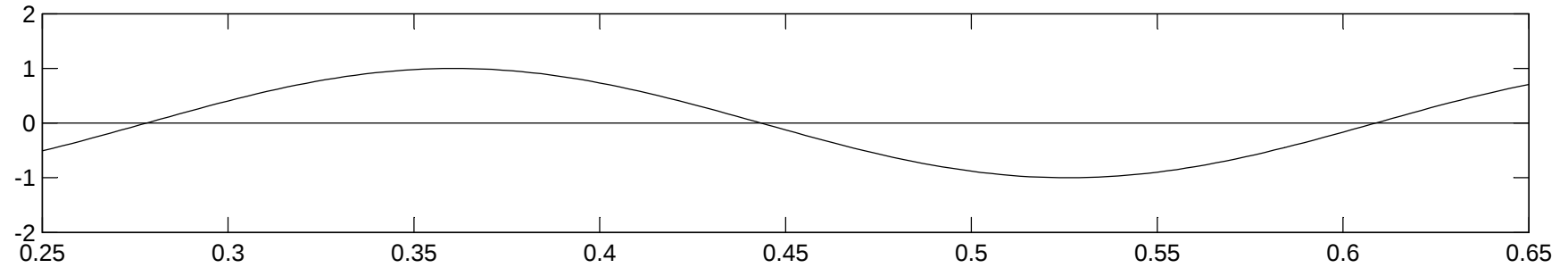
Simulace Matlab - konst buzeni 0.1



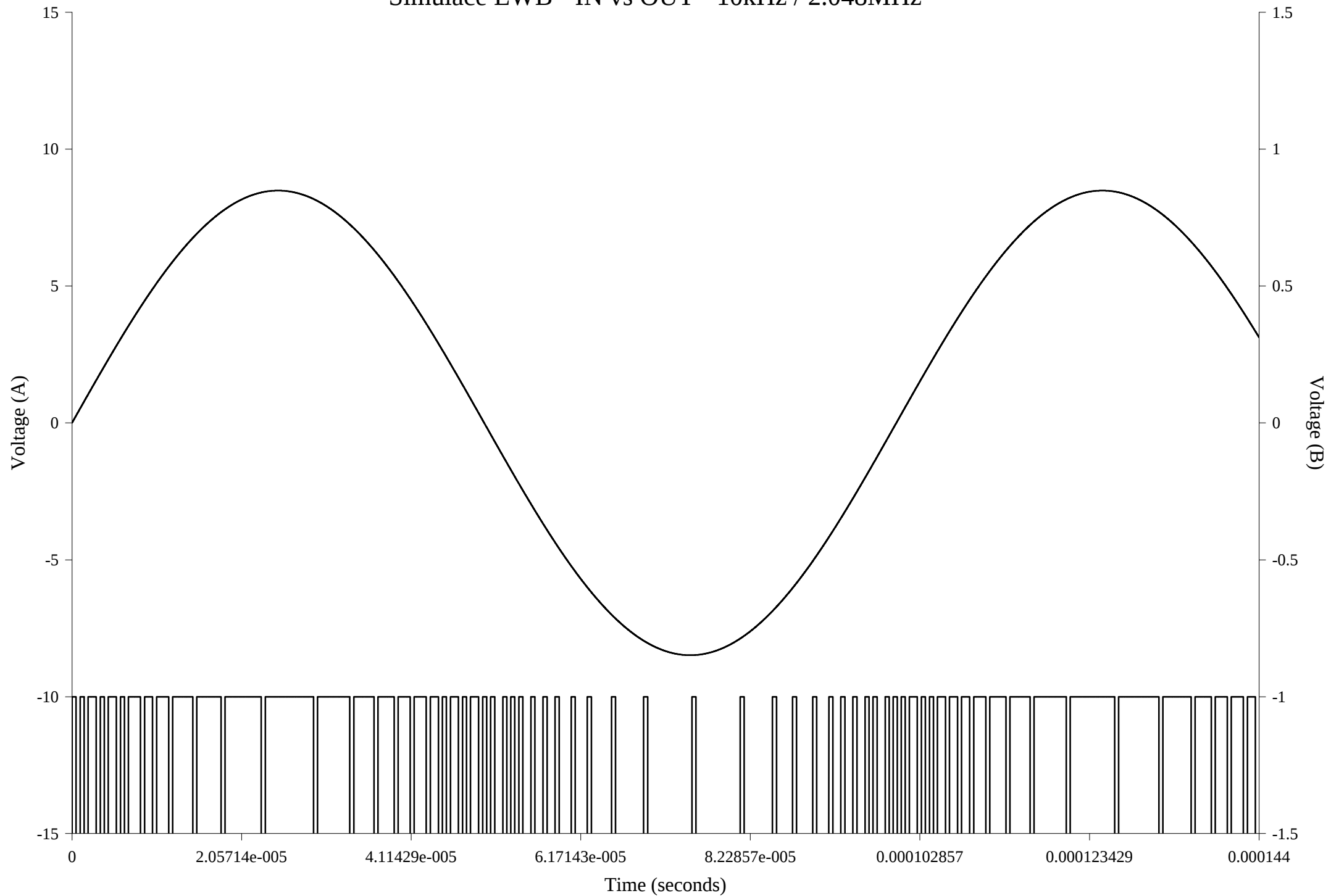
Simulace Matlab - konst buzeni 0.85



Simulace Matlab - harmonické buzení



Simulace EWB - IN vs OUT - 10kHz / 2.048MHz



Simulace EWB - IN vs INTEG - 10kHz / 2.048MHz

